# Триггеры

*Триггер* – это устройство последовательного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения ин­формации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

Как правило, триггер имеет два выхода: прямой *Q* и инверсный . Чи­с­ло входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные *RS*-триггеры имеют два входа: вход *S* установки в *единичное* состояние прямого выхода *Q* и вход *R* установки *в нулевое* состояние выхода *Q*. Синхронные триггеры для занесения в них информации, помимо информационных входов *S* (*J*) и *R* (*К*), имеют синхронизирующий *С* или счётный *Т* вход, а триггеры задержки − информационный вход *D*.

Наибольшее распространение в цифровых устройствах получили триггеры *RS*, *D*, *T* и *JK*.

-------------------------- JК-триггер

*J(Jump)K(Kill)*-триггеры обычно выполняют тактируемыми. *JK*-*триггер* имее­т информационные входы *J* и *K*, которые по своему воздействию на устройство аналогичны входам *S* и *R* синхронного *RS*-триггера: при *J* = 1 и *K* = 0 триггер по тактовому импульсу *С* устанавливается в состояние *Q* = 1; при *J* = 0 и *K* = 1 − переключается в состояние *Q* = 0, а при *J* = 0 и *K* = 0 − хранит ранее принятую информацию.

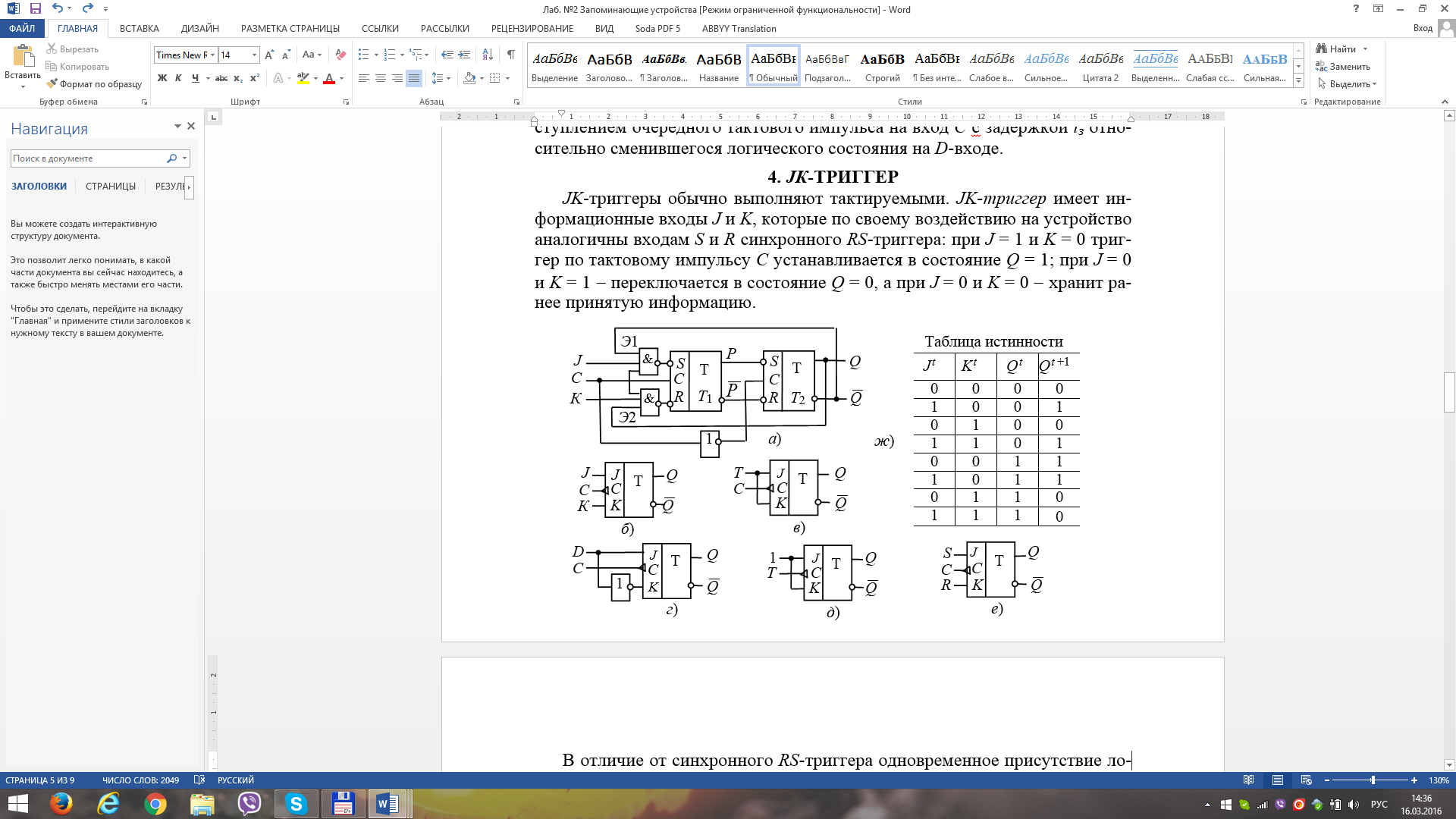


Рис.2.4 *JK*-триггер

В отличие от синхронного *RS*-триггера одновременное присутствие логических единиц на информационных входах не является для *JK*-триггера запрещенной комбинацией; при *J* = 1 и *K* = 1 триггер работает в счетном режиме, т. е. переключается каждым тактовым импульсом на входе *С*.

На рис. 2.4, *а* изображена одна из функциональных схем *JK*-триг­гера. Она отличается от схемы *Т*-триггера двумя трёхвходовыми элементами И-НЕ *Э*1 и *Э*2 входной логики первой ступени *JK*-триггера. Пе­реключающий вход *С* − динамический (рис. 2.4, *б*): переключение *JK*-триггера происходит в момент перепада синхроимпульса с уровня *С* = 1 на уровень *С* = 0, т. е. при срезе.

При *J* = 0 и *K* = 0 на выходе элементов *Э*1 и *Э*2 устанавливаются логические единицы, которые для триггеров с инверсными входами являются пассивными сигналами: триггер *Т*1 и, следовательно, *JK*-триггер в целом сохраняют прежнее состояние (см. рис. 2.4, *а*). Логическая 1 на одном из входов элемента И-НЕ не определяет 1 на его выходе и комбинация *J* = 1, *K* = 1 никак не влияет на входную логику первой ступени, поэтому схемы *Т*- и *JK*-триггеров (см. рис. 2.2, *б* и рис. 2.4, *а*) принципиально не отличаются: оба работают в счетном режиме.

Только при комбинации сигналов *J* = 1, *С* = 1 и = 1 на входе элемента *Э*1 триггер *Т*1 переключится в состояние *Р* = 1. Аналогично логический 0 будет на выходе элемента *Э*2, когда *К* = 1, *С* = 1 и *Q* = 1.

Таким образом, комбинация *J* = 1, *К* = 0 обуславливает по тактовому импульсу *С* = 1 переключение *JK*-триггера в целом в состояние *Q* = 1, а комбинация *J* = 0, *К* = 1 − в состояние *Q* = 0.

Из анализа таблицы переходов (рис. 2.4, ж) переключательной функции *JK*-триггера (2.4)

 (2.4)

следует, что состояние триггера определяется не только уровнями сигналов на информационных входах *J* и *К*, но и состоянием *Qt*,в котором ранее находился *JK*-триггер. Так, при комбинации *J* = 0, *K* = 0 триггер сохраняет предыдущее состояние (; комбинация *J* = 1, *К* = 1 приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: . Комбинации *J* = 1, *К* = 0 и *J* = 0, *К* = = 1 дают разрешение триггеру переключиться соответственно в состояния *Q* = 1 и *Q* = 0.

На основе *JK*-триггера (рис. 2.4, *б*) могут быть выполнены синхронный (рис. 2.4, *в*) и асинхронный (рис. 2.4, *г*) *Т*-триггеры, *D*-триггер (рис. 2.4, *д*) и синхронный *RS*-триггер (рис. 2.4, *е*).

При проектировании сложных логических схем (микросхем) необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили *D*- и *JK*-триггеры.

**Практика**

